



Docket No.: P2002,0597

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 2, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Erwin Thalmann et al.
Appl. No. : 10/619,157
Filed : July 14, 2003
Title : Integrated Memory and Method for Testing the Memory

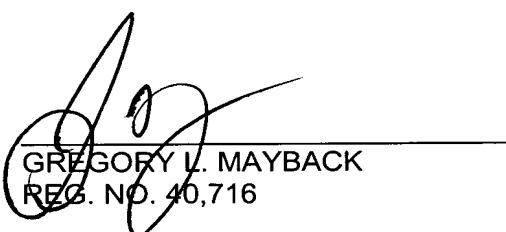
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 31 680.5 filed July 12, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,


GREGORY L. MAYBACK
REC. NO. 40,716

Date: September 2, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 31 680.5

Anmeldetag: 12. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Integrierter Speicher

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 8. August 2003
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag

Remus

Beschreibung

Integrierter Speicher

- 5 Die vorliegende Erfindung betrifft einen integrierten Speicher mit mehreren Registern, die zur Speicherung von Datenmustern oder Datentopologien zur Verwendung in einem Testbetrieb des Speichers vorgesehen sind und in dem Testbetrieb zum Auslesen der Datenmuster oder Datentopologien aus den Registern ausgewählt werden.
- 10
- Im Zuge der Herstellung von integrierten Speichern werden diese im allgemeinen wenigstens einem Funktionstest unterzogen, in dem die Funktionsfähigkeit des getesteten integrierten Speichers überprüft wird. Dabei wird der integrierte Speicher oder eine Teilschaltung des Speichers beispielsweise mit einer externen Prüfeinrichtung geprüft, die Testinformationen erzeugt und den Funktionstest durchführt bzw. steuert.
- 15
- 20 Beispielsweise wird der Speicher zur Überprüfung von Speicherzellen hinsichtlich deren Funktionsfähigkeit einem Speicherzellentest unterzogen. Während eines solchen Testbetriebs zur Überprüfung der Speicherzellen werden Testdaten in jede einzelne Speicherzelle eingeschrieben und wieder ausgelesen.
- 25 Hierzu werden im allgemeinen bestimmte, festgelegte Datenmuster oder Datentopologien, die in die Speicherzellen eingeschrieben und wieder ausgelesen werden, verwendet. Ein Vergleich zwischen den eingeschriebenen und wieder ausgelesenen Daten gibt Aufschluß darüber, ob ein Funktionsfehler der geprüften Speicherzellen vorliegt.
- 30

Mit der Fortentwicklung von integrierten Speichern und damit verbundenen steigenden Speicherkapazitäten ergibt sich im allgemeinen zunehmend das Problem, daß die Testzeiten pro Speicher ansteigen. Ein Hauptziel bei der Herstellung von integrierten Speichern ist es, Speicher bestimmter Größe kosteneffizienter herzustellen, d. h. die Herstellungskosten

pro Speicherchip zu minimieren. Ein erheblicher Teil der Herstellungskosten entfällt auf die mit den Speichertests verbundenen Testkosten, die im allgemeinen proportional mit der benötigten Testzeit pro Wafer bzw. pro Speicherchip ansteigen.
5 Es ist deshalb von großem Interesse, die Testzeit zum Test von Speicherchips zu minimieren.

Die Testzeit wird im allgemeinen bestimmt durch die Anzahl der verwendeten Tests pro Speicherchip, die Parallelität, d.
10 h. die Anzahl der Chips, die gleichzeitig getestet werden, sowie durch die Testgeschwindigkeit. Der Erhöhung von Parallelität und Testgeschwindigkeit ist jedoch insbesondere aufgrund von Limitierungen in der eingesetzten Hardware von
15 Testsystemen und aufgrund der begrenzten Anzahl von Treiberpins von Testsystemen eine obere Grenze gesetzt, die bei heutigen Speichergrößen nahezu immer voll ausgeschöpft wird.

In einer diesbezüglich bevorzugt angewandten Testanordnung erzeugt der zu testende Speicherchip alle beim Funktionstest verwendeten Testdaten selbst. Bei einer derartigen Testanordnung wird das Einlesen der Datenmuster bzw. Datentopologien in den Speicher und der Vergleich der ausgelesenen Testdaten mit den eingelesenen Datenmustern vom Speicherchip selbst durchgeführt. Eine derartige Testanordnung erfordert eine
20 vergleichsweise geringe Transferleistung des Testsystems und eine vergleichsweise geringe Anzahl von benötigten Anschlußpins, so daß eine relativ hohe Parallelität beim Testbetrieb erzielt werden kann. In diesem Fall erhält das Testsystem vom Speicherchip nur noch eine sogenannte Pass-/Fail-Information.
25

30 Die in einer derartigen Testanordnung verwendeten Datenmuster bzw. Datentopologien werden in internen Registern des Speichers gespeichert. In dem Testbetrieb des Speichers werden diese Register zum Auslesen der Datenmuster oder Datentopologien aus den Registern ausgewählt. Bisher ist es hierbei im allgemeinen üblich, zwei derart vorgesehene Register über ein externes Anschluß-Pin zu adressieren. Hierzu wird beispiels-

weise das sogenannte Clock-Enable-Pin CKE verwendet. Aufgrund der zunehmenden Komplexität von Speichern und des Testbetriebs ist es wünschenswert, mehrere Register zur Speicherung von Datenmustern oder Datentopologien auf dem Speicher vorzusehen. Zur Adressierung zusätzlicher Register wären weitere externe Anschluß-Pins notwendig, was jedoch aufgrund der oben erwähnten Überlegungen zur Verringerung der Testkosten im allgemeinen nicht wünschenswert ist.

Die Aufgabe der vorliegenden Erfindung ist es, einen integrierten Speicher der eingangs genannten Art anzugeben, bei dem eine erhöhte Anzahl von Registern, die zur Speicherung von Datenmustern oder Datentopologien zur Verwendung in einem Testbetrieb des Speichers vorgesehen sind, ohne Verwendung eines zusätzlichen externen Anschluß-Pins von einem externen Testsystem adressiert werden kann.

Diese Aufgabe wird gelöst durch einen integrierten Speicher gemäß Patentanspruch 1.

Der erfindungsgemäße integrierte Speicher weist Befehlsanschlüsse zum Empfang von Befehlssignalen auf, die sowohl in einem Normalbetrieb des Speichers als auch in einem Testbetrieb des Speichers zur Steuerung des Betriebs des Speichers empfangen werden. In einem Normalbetrieb des Speichers werden die Befehlssignale beispielsweise von einem Memory Controller bereitgestellt, in einem Testbetrieb des Speichers von einem angeschlossenen Testsystem. Weiterhin weist der Speicher einen Signalanschluß zum Empfang eines weiteren, zu den Befehlssignalen unterschiedlichen Signals auf. Dieser Signalanschluß empfängt beispielsweise in einem Normalbetrieb des Speichers ein Takt-Aktivierungssignal (sogenanntes Clock-Enable-Signal). Der Speicher weist ferner mehrere Register auf, die zur Speicherung von Datenmustern oder Datentopologien zur Verwendung in dem Testbetrieb des Speichers vorgesehen sind. Die Register werden in dem Testbetrieb zum Auslesen der Datenmuster oder Datentopologien aus den Registern ausge-

wählt. Weiterhin ist eine Register-Decoderschaltung zur Auswahl dieser Register vorgesehen, wobei Eingänge der Register-Decoderschaltung mit den Befehlsanschlüssen und mit dem Signalanschluß zum Zwecke der Auswahl der Register in dem
5 Testbetrieb verbindbar sind.

Mit der Erfindung ist es vorteilhaft ermöglicht, daß mittels nur eines Signalanschlusses, beispielsweise zum Empfang eines Clock-Enable-Signals, in Kombination mit den Befehlsanschlüssen, die zur Steuerung des Testbetriebs ohnehin mit dem Testsystem zu verbinden sind, zusätzliche Befehle für den Testbetrieb erzeugt werden können und in Verbindung damit eine erhöhte Anzahl an Registern für den Testbetrieb adressiert werden kann. Damit wird vorteilhaft vermieden, daß zur Adressierung der Register ein zusätzliches externes Anschluß-Pin mit dem Testsystem zu verbinden ist.
10
15

In einer vorteilhaften Ausführungsform der Erfindung weist der Speicher einen Befehlsdecoder auf, wobei Eingänge des Befehlsdecoders mit den Befehlsanschlüssen zum Empfang der Befehlssignale und mit dem Signalanschluß verbindbar sind. Der Befehlsdecoder erzeugt einen Befehl sowohl im Testbetrieb des Speichers als auch in dessen Normalbetrieb. Bei einem ersten Zustand des an dem Signalanschluß anliegenden Signals wird ein Befehl abhängig von den Befehlssignalen für den Testbetrieb generiert. Bei einem zweiten Zustand des an dem Signalanschluß anliegenden Signals wird abhängig von den Befehlssignalen ein Befehl für den Normalbetrieb erzeugt. Durch die Register-Decoderschaltung wird im Testbetrieb das zu dem jeweiligen Befehl zugehörige Register, in dem das jeweils benötigte Datenmuster gespeichert ist, ausgewählt.
20
25
30

Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

35 Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren näher erläutert.

Hierbei zeigen

Figur 1 eine vorteilhafte Ausführungsform eines erfindungsgemäßen integrierten Speichers,

Figur 2 eine beispielhafte Kommando-Wahrheitstabelle mit der zugehörigen Register-Adressierung.

Der in der Figur 1 gezeigte Speicher 1 weist für den externen Anschluß Befehlsanschlüsse 10 auf, an denen Befehlssignale CS, RAS, CAS und WE in einem Normalbetrieb und in einem Testbetrieb des Speichers empfangen werden. Diese Befehlssignale werden in dem Normalbetrieb beispielsweise von einem Memory Controller bereitgestellt, in dem Testbetrieb des Speichers von einem angeschlossenen Testsystem. Weiterhin weist der Speicher 1 einen Signalanschluß 20 zum Empfang eines in dem Normalbetrieb des Speichers verwendeten Takt-Aktivierungssignals (Clock-Enable-Signal) CKE auf. Weiterhin sind im vorliegenden Ausführungsbeispiel vier Register YA, YB, YC, YD vorgesehen, die zur Speicherung von Datenmustern oder Datenstrukturen vorgesehen sind, die in dem Testbetrieb des Speichers zur Durchführung eines Funktionstests von Speicherzellen Verwendung finden. Eine Register-Decoderschaltung REGDEC dient zur Auswahl der Register YA bis YD. Hierbei sind Eingänge 21 und 22 der Register-Decoderschaltung REGDEC mit den Befehlsanschlüssen 10 bzw. mit dem Signalanschluß 20 zum Zwecke der Auswahl der Register in dem Testbetrieb verbunden. Ferner weist der Speicher einen Befehlsdecoder CMDDEC auf, dessen Eingänge 11 und 12 mit den Befehlsanschlüssen 10 zum Empfang der Befehlssignale bzw. mit dem Signalanschluß 20 verbindbar sind. Dabei ist der Signalanschluß 20 über das Testmodussignal TM mittels der Decoderschaltung CKEDEC umschaltbar mit den Eingängen 12 und 22 des Befehlsdecoders bzw. der Register-Decoderschaltung verbunden. Für den Fall der Verwendung des Signalanschlusses 20 im Testbetrieb wird

der interne Anschluß CKEINT durch die Decoderschaltung CKEDEC auf "high" gelegt. Damit kann der Signalanschluß 20 in Kombination mit den vier Befehlsanschlüssen 10 zur Erzeugung von insbesondere acht zusätzlichen Befehlen verwendet werden. Da-
5 mit können die vier unabhängigen Register YA bis YD zum Schreiben und Lesen der Datenmuster im Testbetrieb adressiert werden, ohne daß hierzu etwa ein zusätzlicher externer An-
schluß-Pin benötigt wird.

10 Beim Speicher 1 gemäß der Figur 1 werden im Testbetrieb Speicherzellen MC, die im Speicherkern M entlang von Wortleitun-
gen WL und Bitleitungen BL angeordnet sind, auf ihre Funkti-
onsfähigkeit hin geprüft. Hierzu werden die in den Registern
15 YA bis YD gespeicherten Datenmuster, gesteuert durch die in-
ternen Befehlssignale CMD des Befehlsdecoders CMDDEC, in den Speicherkern M eingelesen und ausgelesene Testdaten mit Soll-
daten verglichen.

20 Eine beispielhafte Kommando-Wahrheitstabelle mit der zugehö-
rigen Register-Adressierung ist in der Tabelle nach Figur 2
dargestellt. Hierbei bedeutet der Befehl Deselect (NOP), daß
der Speicherchip von extern nicht angesprochen wird. Der Be-
fehl "No Operation (NOP)" repräsentiert ein nicht belegtes
Kommando. Durch den Befehl "Active" wird eine ausgewählte
25 Speicherbank selektiert und die anzusprechende Wortleitung
aktiviert. Diese Aktion wird insbesondere zu Beginn des Spei-
cherzugriffs durchgeführt. Durch die Befehle "RDA" bis "RDD"
werden im Testbetrieb die jeweils anzusprechenden Speicher-
bänke selektiert sowie die entsprechenden Bitleitungen (Spal-
ten) zum Auslesen von Datensignalen. Ebenso wird das zugehö-
rige Register YA bis YD zum Auslesen des entsprechenden Da-
tenmusters angesprochen sowie ein Lese-Burst gestartet. Die
Befehle "WRA" bis "WRD" sind hierzu analoge Befehle in Bezug
auf einen Schreib-Burst. Durch den Befehl "Burstd Terminate"
30 wird der jeweilige Burst-Zugriff beendet. Mit dem Befehl
"Precharge" werden Bitleitungen vorgeladen. Der Befehl "Auto
Refresh or Self-Refresh" dient zur Durchführung eines soge-

nannten Refresh-Betriebs zur Auffrischung des Inhalts der Speicherzellen. Mit dem "Mode Register Set"-Befehl wird das sogenannte Mode Register des Speichers gesetzt, insbesondere die sogenannte CAS-Latency programmiert. Die Kommandos
5 "Write" und "Read" repräsentieren einen Schreib- beziehungsweise Lesebefehl.

Die beschriebenen Befehle werden zum einen Teil in einem Normalbetrieb des Speichers ($CKE = "H"$) und zum anderen Teil in
10 dem Testbetrieb des Speichers ($CKE = "L"$) generiert. Hierbei erzeugt also der Befehlsdecoder bei dem Zustand des Signals
 $CKE = "L"$ abhängig von den Befehlssignalen CS, RAS, CAS, WE interne Befehle CMD für den Testbetrieb des Speichers. Bei
15 einem Zustand des Signals $CKE = "H"$ erzeugt der Befehlsdecoder abhängig von den Befehlssignalen interne Befehle CMD für den Normalbetrieb des Speichers. Hierbei wird durch die Register-Decoderschaltung REGDEC im Testbetrieb das zu dem jeweiligen Befehl zugehörige Register YA bis YD ausgewählt,
20 der interne Anschluß CKEINT wird durch die Decoderschaltung CKEDEC auf "high" gelegt.

Patentansprüche

1. Integrierter Speicher

- mit Befehlsanschlüssen (10) zum Empfang von Befehlssignalen (CS, RAS, CAS, WE) in einem Normalbetrieb und in einem Testbetrieb des Speichers,
- mit einem Signalanschluß (20) zum Empfang eines weiteren, zu den Befehlssignalen unterschiedlichen Signals (CKE),
- mit mehreren Registern (YA - YD), die zur Speicherung von Datenmustern oder Datentopologien zur Verwendung in dem Testbetrieb des Speichers vorgesehen sind und in dem Testbetrieb zum Auslesen der Datenmuster oder Datentopologien aus den Registern ausgewählt werden,
- mit einer Register-Decoderschaltung (REGDEC) zur Auswahl der Register (YA - YD), wobei Eingänge (21, 22) der Register-Decoderschaltung mit den Befehlsanschlüssen (10) und mit dem Signalanschluß (20) zum Zwecke der Auswahl der Register in dem Testbetrieb verbindbar sind.

20 2. Integrierter Speicher nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t , daß

- der Speicher einen Befehlsdecoder (CMDDEC) aufweist, wobei Eingänge (11, 12) des Befehlsdecoders mit den Befehlsanschlüssen (10) zum Empfang der Befehlssignale und mit dem Signalanschluß (20) verbindbar sind,
- der Befehlsdecoder bei einem ersten Zustand (L) eines an dem Signalanschluß anliegenden Signals (CKE) abhängig von den Befehlssignalen einen Befehl (CMD) für den Testbetrieb des Speichers generiert,
- der Befehlsdecoder bei einem zweiten Zustand (H) des an dem Signalanschluß anliegenden Signals (CKE) abhängig von den Befehlssignalen einen Befehl (CMD) für den Normalbetrieb des Speichers generiert,
- durch die Register-Decoderschaltung (REGDEC) im Testbetrieb das zu dem jeweiligen Befehl zugehörige Register (YA - YD) ausgewählt wird.

3. Integrierter Speicher nach Anspruch 2,
dadurch gekennzeichnet, daß
der Signalanschluß (20) über ein Testmodussignal (TM) um-
schaltbar mit einem der Eingänge (12, 22) der Register-
Decoderschaltung und des Befehlsdecoders verbunden ist.
4. Integrierter Speicher nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet, daß
der Signalanschluß (20) in einem Normalbetrieb des Speichers
ein Takt-Aktivierungssignal (CKE) empfängt.
5. Integrierter Speicher nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, daß
der Speicher eine Anzahl von vier Registern (YA - YD) auf-
weist und die Eingänge (21, 22) der Register-Decoderschaltung
mit vier Befehlsanschlüssen (10) und mit dem Signalanschluß
(20) zum Zwecke der Auswahl der Register in dem Testbetrieb
verbindbar sind.

Zusammenfassung

Integrierter Speicher

- 5 Ein integrierter Speicher weist Befehlsanschlüsse (10) zum Empfang von Befehlssignalen (CS, RAS, CAS, WE) in einem Normalbetrieb und in einem Testbetrieb des Speichers auf sowie einen Signalanschluß (20) zum Empfang eines weiteren, zu den Befehlssignalen unterschiedlichen Signals (CKE). Es sind mehrere Register (YA - YD) zur Speicherung von Datenmustern oder Datentopologien zur Verwendung in dem Testbetrieb des Speichers vorgesehen. Eine Register-Decoderschaltung (REGDEC) dient zur Auswahl der Register (YA - YD), wobei Eingänge (21, 22) der Register-Decoderschaltung mit den Befehlsanschlüssen (10) und mit dem Signalanschluß (20) zum Zwecke der Auswahl der Register in dem Testbetrieb verbindbar sind. Mit der Erfindung kann für den Testbetrieb eine erhöhte Anzahl an Registern ohne Ansteuerung eines zusätzlichen externen Anschlußpins adressiert werden.

20

Figur 1

Bezugszeichenliste

1	integrierter Speicher
5 10	Befehlsanschlüsse
11, 12	Eingang
20	Signalanschluß
21, 22	Eingang
CMDDEC	Befehlsdecoder
10 REGDEC	Register-Decoderschaltung
CKEDEC	Decoder
TM	Testmodussignal
CKEINT	interner Anschluß
YA bis YD	Register
15 CKE	Takt-Aktivierungssignal
CMD	interner Befehl
M	Speicherkern
MC	Speicherzelle
WL	Wortleitung
20 BL	Bitleitung

P2002, 0597

1/2

1

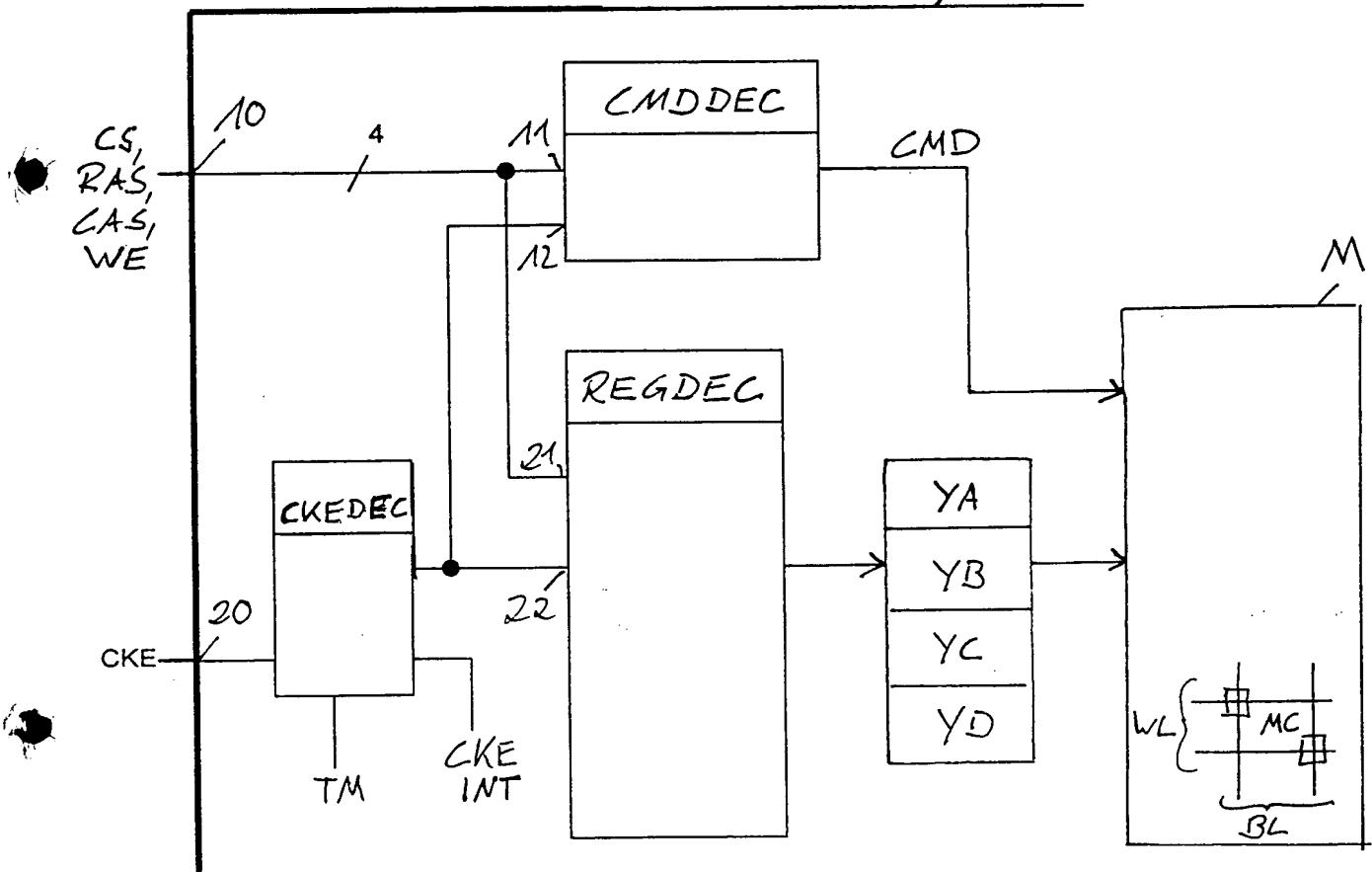


Fig. 1

P2002, 0597

2/2

CMD (Funktion)		CS	RAS	CAS	WE	CKE	Adresse	Register
Deselect (NOP)		H	X	X	X	X	X	X
No Operation (NOP)		L	H	H	H	H	X	X
Active (Auswahl Bank und Aktivieren der Zeile)		L	L	H	H	H	Bank/Zeile	X
RDA	(Auswahl Bank&Spalte, YA Register, Start Lese-Burst)	L	L	H	L	L	Bank/Spalte	YA
RDB	(Auswahl Bank&Spalte, YB Register, Start Lese-Burst)	L	L	H	L	L	Bank/Spalte	YB
RDC	(Auswahl Bank&Spalte, YC Register, Start Lese-Burst)	L	H	L	L	L	Bank/Spalte	YC
RDD	(Auswahl Bank&Spalte, YD Register, Start Lese-Burst)	L	H	H	L	L	Bank/Spalte	YD
WRA	(Auswahl Bank&Spalte, YA Register, Start Schreib-Burst)	L	L	L	L	L	Bank/Spalte	YA
WRB	(Auswahl Bank&Spalte, YB Register, Start Schreib-Burst)	L	L	H	L	L	Bank/Spalte	YB
WRD	(Auswahl Bank&Spalte, YC Register, Start Schreib-Burst)	L	H	L	L	L	Bank/Spalte	YC
WRD	(Auswahl Bank&Spalte, YD Register, Start Schreib-Burst)	L	H	H	L	L	Bank/Spalte	YD
Burst Terminate		L	H	H	H	H	X	X
Precharge		L	L	H	H	Code		X
Auto Refresh Or Self Refresh		L	J	L	H	H	X	X
Mode Register Set		L	L	L	H	Code		X
Write		L	H	L	H	L	Bank/Spalte	X
Read		L	H	L	H	H	Bank/Spalte	X
Write with Auto Precharge		L	H	L	H	L	Bank/Spalte	X

Fig. 2